



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000339229 A**(43) Date of publication of application: **08.12.00**

(51) Int. Cl.

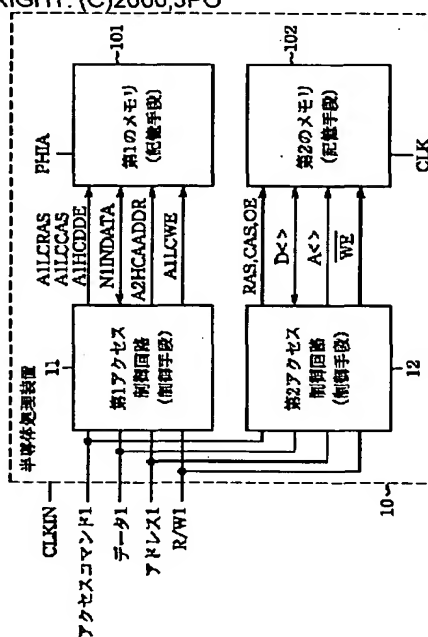
G06F 12/16(21) Application number: **11152560**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **31.05.99**(72) Inventor: **TATSUMI TAKASHI**(54) **MEMORY TEST CIRCUIT**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To conduct an efficient memory test even in the case of a semiconductor processor loading plural and different types of memories by selecting the respective memories based on a control signal supplied from outside, recognizing the plural memories as one continuous memory and conducting the test.

SOLUTION: A first access control circuit 11 and a second access control circuit 12 input and decode an access command 1, an address 1 and R/W signal 1 and input data 1 to a first memory 101 and a second memory 102. Then, data 1 are read from the first memory 101 and the second memory 102. The address 1 inputted to a semiconductor process 10 selects the first memory 101 or the second memory 102. Then, data 1 are read based on the control signal from the selected first (second) memory 101 (102) and they are outputted to an outer part. The first (second) memory 101 (102) is selected based on the control signal, a series of operations are executed and a test is continuously conducted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-339229

(P2000-339229A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int. Cl.
G 0 6 F 12/16

識別記号
3 3 0

F I
G 0 6 F 12/16

テーマコード(参考)
3 3 0 A 5 B 0 1 8

審査請求 未請求 請求項の数4 OL (全12頁)

(21) 出願番号 特願平11-152560

(22) 出願日 平成11年5月31日 (1999.5.31)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 辰巳 隆

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム(参考) 5B018 GA03 HA31 HA32 HA35 JA03

JA04 JA05 JA12 JA22 NA02

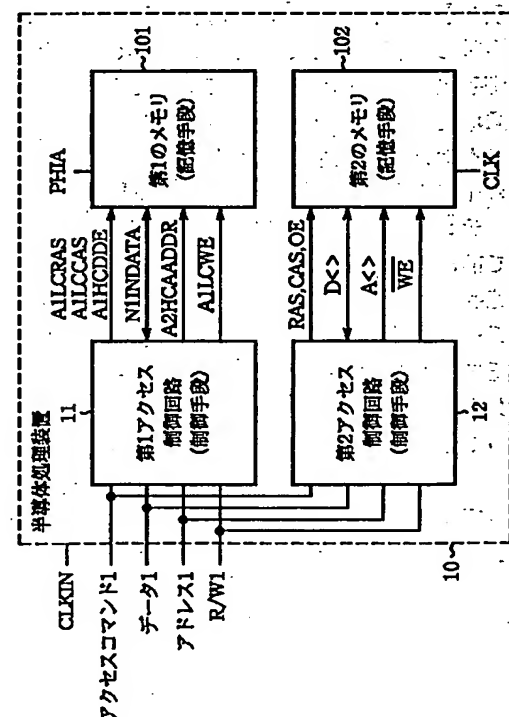
PA02 PA03 QA13 RA11

(54) 【発明の名称】 メモリテスト回路

(57) 【要約】

【課題】 異種類のメモリのテスト時コマンド、タイミングが異なるので各々のテストパターンを作成し別個にテストする必要があった。

【解決手段】 アクセス制御回路11~31を備え、外部から供給されるアドレスや、制御コマンドの値に基づいて、半導体処理装置10、20、30に搭載されている第1、第2のメモリ101、102を1つのメモリとして認識し、連続してテストを実行するメモリテスト回路。



【特許請求の範囲】

【請求項1】 半導体処理装置に搭載され、動作タイミングやアクセス方法が異なる等の異種類の複数の記憶手段に対して設けられた制御手段を備え、前記制御手段は、外部から供給される制御信号に基づいて、前記複数の記憶手段を連続した1つの記憶手段として認識し、先ず前記複数の記憶手段の1つを選択し、選択した前記記憶手段へ前記制御信号およびデータを出力し、また、選択した前記記憶手段から、前記制御信号に基づいてデータを読出し外部へ出力し、前記制御信号に基づいて、前記複数の記憶手段内の次の記憶手段を選択し、前記一連の動作を、順次、前記複数の記憶手段のすべてに対して実行し、前記複数の記憶手段に対して連続してテストを実行することを特徴とするメモリテスト回路。

【請求項2】 制御手段は、半導体処理装置に搭載されている複数の記憶手段のそれぞれに対応して設けられ、前記制御手段は、制御信号として、前記複数の記憶手段の記憶領域を指定するアドレスや前記複数の記憶手段に対するアクセスを指定するアクセスコマンドを入力し、デコードし、入力した前記アドレス内の所定ビットの値に基づいて前記複数の記憶手段の1つを選択し、選択した前記記憶手段へ前記アドレス、前記アクセスコマンド、およびデータを出力し、また、選択した前記記憶手段から、前記アドレスおよび前記アクセスコマンドに基づいてデータを読出し外部へ出力し、前記アドレス内の所定ビットの値に基づいて、前記複数の記憶手段内の次の記憶手段を選択し、前記した一連の動作を、順次、前記複数の記憶手段のすべてに対して実行し、前記複数の記憶手段に対して連続してテストを実行することを特徴とするメモリテスト回路。

【請求項3】 制御手段は、半導体処理装置に搭載されている複数の記憶手段のそれぞれに対応して設けられ、前記制御手段は、制御信号として、前記複数の記憶手段の記憶領域を指定するアドレスや前記複数の記憶手段に対するアクセスを指定するアクセスコマンド、および前記複数の記憶手段のいずれかを選択する制御コマンドを入力し、デコードし、入力した前記制御コマンドの値に基づいて前記複数の記憶手段の1つを選択し、選択した前記記憶手段へ前記アドレス、前記アクセスコマンド、およびデータを出力し、また、選択した前記記憶手段から、前記アドレスおよび前記アクセスコマンドに基づいてデータを読出し外部へ出力し、前記制御コマンドの値に基づいて、前記複数の記憶手段内の次の記憶手段を選択し、前記した一連の動作を、順次、前記複数の記憶手段のすべてに対して実行し、前記複数の記憶手段に対して連続してテストを実行することを特徴とするメモリテスト回路。

【請求項4】 半導体処理装置に搭載されている異種類の複数の記憶手段のそれぞれに対応して設けられた制御手段および前記複数の記憶手段から読出したデータを比

較する比較手段を備え、前記制御手段は、前記複数の記憶手段の記憶領域を指定するアドレスや前記複数の記憶手段に対するアクセスを指定するアクセスコマンドを入力し、デコードし、前記複数の記憶手段へ前記アドレス、前記アクセスコマンド、およびデータを出力し、また、前記アドレスおよび前記アクセスコマンドに基づいて前記複数の記憶手段から同時にデータを読出し、読み出した前記データを前記比較手段へ出力し、前記比較手段は、前記複数の記憶手段から読み出された前記データを比較してテストを実行することを特徴とするメモリテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、動作タイミングやアクセス方法が異なる等の異種類の複数のメモリを搭載した半導体処理装置等のシステムにおけるメモリテストを容易にかつ効率よく実行するメモリテスト回路に関し、特に、半導体処理装置に搭載され、アクセスコマンドや動作タイミング等が異なる複数のメモリのテストを効率良く実施してテスト容易化を実現するメモリテスト回路に関するものである。

【0002】

【従来の技術】図8は、アクセスコマンドや動作タイミングの異なる2種類のメモリを搭載した従来の半導体処理装置のシステム構成を示すブロック図であり、図において、101はメモリサイズが1MBの第1のメモリ、102はメモリサイズが1MBの第2のメモリである。これらの第1のメモリ101および第2のメモリ102は、互いに、アクセスコマンドや動作タイミングが異なる等、種類の異なるメモリである。100は、第1のメモリ101および第2のメモリ102を搭載した従来の半導体処理装置としてのシステムである。

【0003】第1のメモリ101、第2のメモリ102は、アドレス信号であるアドレス3、4、制御信号であるアクセスコマンド3、4、およびメモリに対するデータリード・ライトアクセスを制御するための制御信号R/W3、4をそれぞれ入力し、これらのアドレス、制御信号に従ってデータ3、4の入出力を行う。

【0004】図4は、第1のメモリ101に対するデータリードのタイミングを示すタイミングチャートであり、図において、PHIAは第1のメモリ101の動作に用いるクロック信号、A2HCAADDRはロウアドレスやカラムアドレス等のアドレス信号、A1HCDDは第1のメモリ101からリードしたデータをデータバス（図示せず）へ出力するためのタイミングを示す制御信号、A1LCRASおよびA1LCCASのそれぞれは、第1のメモリ101のRAS信号およびCAS信号である。

【0005】A1LCWEは、その信号値がロウレベル（以下、Lレベル）ならば、メモリに対するデータのラ

イト動作を指示し、その信号値がハイレベル（以下、Hレベル）ならば、メモリに対するデータのリードを指示する制御信号である。

【0006】図4に示す場合では、制御信号A1LCWEがHレベルなので、データリードを示している。N1INDATAは、DRAMである第1のメモリ101から読み出されたデータバス上のデータである。

【0007】第2のメモリ102は、25MHzのクロック信号CLKで動作する。従って、第2のメモリ102は、第1のメモリ101と異なる動作タイミングで動作するメモリである。

【0008】図5は、第2のメモリ102に対するデータリードのタイミングを示すタイミングチャートであり、図において、CLKはクロック信号、A<>はロウアドレス、カラムアドレスなどのアドレス信号、OEは第2のメモリ102から読み出したデータの出力タイミングを指示する制御信号、/WEは第2のメモリ102に対するデータ書き込みタイミングを示す制御信号で、図中のバーWEを示している（以下、同様に記載する。）、D<>は、DRAMである第1のメモリ101から読み出されたデータである。

【0009】次に動作について説明する。図8に示すように、2種類の異なるメモリを搭載した従来の半導体処理装置におけるメモリテストでは、第1のメモリ101と第2のメモリ102とが、それぞれ異なるアクセスコマンドを用いて、別々の動作タイミングで実行されていた。

【0010】先ず、第1のメモリ101から、以下のようにしてメモリテストが実行される。リードについて説明する。図4に示すタイミングT42で、第1のメモリ101に対してロウアドレスA2HCAADDRやRAS信号A1LCRAS等の制御信号が入力され、第1のメモリ101をアクティブ状態に設定する。

【0011】次に、タイミングT43で、第1のメモリ101に対してカラムアドレスA2HCAADDR、CAS信号A1LCCASが入力されると、ロウアドレスおよびカラムアドレスで示されたメモリ領域内に格納されているデータがリード状態となる。そして、Hレベルの制御信号A1HCDDDEが入力されると、データバス上にデータN1INDATAが読み出され出力される。

【0012】第1のメモリ101のメモリテストが終了すると、次に、第2のメモリ102のテストが実行される。図5に示すタイミングT52で、第2のメモリ102に対してロウアドレスA<>、/RAS信号（図中のバーRASを示す）が入力されると、第2のメモリ102がアクティブ状態となる。

【0013】次に、図5に示すタイミングT53で、カラムアドレスA<>および/CAS信号（図中のバーCASを示す）を入力する。その後、制御信号OEが入力されたタイミングで、これらのロウアドレスおよびカラ

ムアドレスで示される第2のメモリ102内のメモリ領域に格納されているデータD<>が、データバス上に読み出される。

【0014】

【発明が解決しようとする課題】動作タイミングや、アクセス方法が異なる異種類の複数のメモリを搭載した従来の半導体処理装置は以上のように構成されているので、メモリテストを実行する場合、メモリテストをメモリ毎に別個に行う必要がある。従って、テストパターンをメモリの種類毎に作成する必要がある、このためテストパターンが複雑になり、さらにテストに必要とされる時間やテストコストが増大するといった課題があった。

【0015】この発明は上記のような課題を解決するためになされたもので、動作タイミングやアクセス方法が異なる等の異種類の複数のメモリが搭載された半導体処理装置であっても、効率良く容易にメモリテストを実行するメモリテスト回路を得ることを目的とする。

【0016】

【課題を解決するための手段】この発明に係るメモリテスト回路は、半導体処理装置に搭載され、動作タイミングやアクセス方法が異なる等の異種類の複数の記憶手段に対して設けられた制御手段を備えるものである。この制御手段は、外部から供給される制御信号およびデータに基づいて、複数の記憶手段を連続した1つの記憶手段として認識する。さらに、複数の記憶手段の1つを先ず選択し、選択した記憶手段へ制御信号およびデータを出力し、また、選択した記憶手段から、制御信号に基づいてデータを読み出し外部へ出力し、制御信号に基づいて、複数の記憶手段内の次の記憶手段を選択する。そして、上記一連の動作を、順次、複数の記憶手段のすべてに対して実行し、複数の記憶手段に対して連続してテストを実行することを特徴とするものである。

【0017】この発明に係るメモリテスト回路では、制御手段が、半導体処理装置に搭載されている異種類の複数の記憶手段のそれぞれに対応して設けられている。これらの制御手段は、制御信号として、複数の記憶手段の記憶領域を指定するアドレスや複数の記憶手段に対するアクセスを指定するアクセスコマンドを入力し、デコードし、入力したアドレス内の所定ビットの値に基づいて複数の記憶手段の1つを選択し、選択した記憶手段へ前記アドレス、アクセスコマンド、およびデータを出力する。また、選択した記憶手段から、アドレスおよびアクセスコマンドに基づいてデータを読み出し外部へ出力し、アドレス内の所定ビットの値に基づいて、複数の記憶手段内の次の記憶手段を選択する。そして、上記の一連の動作を、順次、複数の記憶手段のすべてに対して実行し、複数の記憶手段に対して連続してテストを実行することを特徴とするものである。

【0018】この発明に係るメモリテスト回路では、制御手段が、半導体処理装置に搭載されている異種類の複

数の記憶手段のそれぞれに対応して設けられている。これらの制御手段は、制御信号として、複数の記憶手段の記憶領域を指定するアドレスや複数の記憶手段に対するアクセスを指定するアクセスコマンドおよび複数の記憶手段のいずれかを選択する制御コマンドを入力し、デコードし、入力した制御コマンドの値に基づいて複数の記憶手段の1つを選択し、選択した記憶手段へアドレス、アクセスコマンド、およびデータを出力する。また、選択した記憶手段から、アドレスおよびアクセスコマンドに基づいてデータを読み出し外部へ出力し、制御コマンドの値に基づいて、複数の記憶手段内の次の記憶手段を選択し、上記した一連の動作を、順次、複数の記憶手段のすべてに対して実行し、複数の記憶手段に対して連続してテストを実行することを特徴とするものである。

【0019】この発明に係るメモリテスト回路は、半導体処理装置に搭載されている異種類の複数の記憶手段のそれぞれに対応して設けられた制御手段および複数の記憶手段から読み出したデータを比較する比較手段を備えているものである。これらの制御手段は、複数の記憶手段の記憶領域を指定するアドレスや複数の記憶手段に対するアクセスを指定するアクセスコマンドを入力し、デコードし、複数の記憶手段へアドレス、アクセスコマンド、およびデータを出力し、また、アドレスおよびアクセスコマンドに基づいて複数の記憶手段から同時にデータを読み出し、読み出した前記データを比較手段へ出力する。この比較手段は、複数の記憶手段から読み出されたデータを比較してテストを実行することを特徴とするものである。

【0020】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1。図1は、この発明の実施の形態1によるメモリテスト回路を備えた半導体処理装置のシステムを示すブロック図であり、図において、11はアクセスコマンド1を入力し、メモリサイズが1MBの第1のメモリ101（記憶手段）に対するアクセスのための制御信号を生成する第1アクセス制御回路（制御手段）、12はアクセスコマンド1を入力し、メモリサイズが1MBの第2のメモリ102（記憶手段）に対するアクセスのための制御信号を生成する第2アクセス制御回路（制御手段）である。CLKINは、半導体処理装置10の動作に使用される外部クロック信号である。

【0021】これらの第1アクセス制御回路11および第2アクセス制御回路12は、アクセスコマンド1、アドレス1、R/W信号1を入力しデコードして、データ1を第1のメモリ101および第2のメモリ102内に入力し、また、第1のメモリ101および第2のメモリ102内からデータ1を読み出すものである。

【0022】実施の形態1のメモリテスト回路を備えた半導体処理装置10へ入力されるアドレス1は、従来の

半導体処理装置で使用されるアドレスに加え、第1のメモリ101および第2のメモリ102のいずれかを選択するため、アドレスにさらに1ビットが付与されている。以下で説明する実施の形態1では、メモリ数は第1のメモリ101および第2のメモリ102の2つであるが、半導体処理装置に搭載されるメモリ数に応じて、この付加されるビット数を増加してメモリを選択する。

【0023】第1のメモリ101のメモリサイズは1MBであり、100MHzのクロック信号PHIAで動作するものとする。また、第2のメモリ102のメモリサイズは1MBであり、25MHzのクロック信号CLKで動作するものとする。

【0024】図1に示す実施の形態1のメモリテスト回路を備えた半導体処理装置10は、25MHzのクロック信号に基づいて動作を行うものとする。このシステム10は、主として、第1アクセス制御回路11、第2アクセス制御回路12、および2種類の異なるメモリである第1のメモリ101および第2のメモリ102から構成されている。しかしながら、この発明は搭載されるメモリ数に制限はない。

【0025】次に動作について説明する。図2は、図1に示した半導体処理装置10内に搭載されている第1のメモリ101および第2のメモリ102に対するメモリテストに使用される11種類のテストコマンドを示す説明図である。これらのテストコマンドはアクセスコマンド1として、半導体処理装置10の外部から、第1アクセス制御回路11および第2アクセス制御回路12へ供給され、そこでデコードされる。

【0026】図3は、第1のメモリ101に対して連続して実行されるデータリード動作のタイミングを示すタイミングチャートである。このタイミングチャートは半導体処理装置10の外部からみたものである。

【0027】図4は、第1のメモリ101におけるデータリード動作のタイミングを示すタイミングチャートであり、図において、A2HCAADDRはアドレス信号、A1HCDDEはリードしたデータをデータバス上（図示せず）に出力するタイミングをとるための制御信号、A1LCCASは第1のメモリ101のデータリードのためのCAS信号、そして、A1LCWEはそのレベルがLレベルならばデータライト動作、Hレベルならばデータリード動作を示す制御信号である。

【0028】図4に示すタイミングチャートでは、A1LCWEはHレベルであるので、データリード動作であることを示している。また、N1INDATAは、第1のメモリ101から読み出されたデータを示している。

【0029】図5は、第2のメモリ102におけるデータリード動作のタイミングを示すタイミングチャートであり、図において、CLKはクロック信号、A<>はロウアドレスおよびカラムアドレス等のアドレス信号、O

Eは第2のメモリ102から読み出したデータの出力タイミングを示す制御信号、 $\overline{\text{WE}}$ は第2のメモリ102に対するデータ書き込みタイミングを示す制御信号、 $\text{D}<>$ はDRAMである第1のメモリ101から読み出されたデータを示している。

【0030】図1に示す半導体処理装置10内に搭載している第1のメモリ101および第2のメモリ102に対するメモリテストは、以下のように実行される。図3において、タイミングT32で示される外部クロックCLKINの立ち上がりエッジで、外部から供給されたアクセスコマンド1内のテストコマンドTESTCMD<0:3>であるRAS、およびアドレス1内のロウアドレスA<10:27>であるRowを第1アクセス制御回路11が入力する。

【0031】次に、第1アクセス制御回路11が、テストコマンドTESTCMD<0:3>であるRASをデコードする。この場合、入力したアドレス1の最終ビット値に基づいて（例えば、最終ビットの値が1）、第1のメモリ101が指定されるので、デコードしたテストコマンドを第1のメモリ101へ供給する。そして、図4のタイミングチャートにおけるタイミングT42で、第1のメモリ101がこのデコードしたテストコマンドを内部に取り込むと、第1のメモリ101はアクティブ状態となる。

【0032】次に、図3のタイミングT33で、第1アクセス制御回路11が、アクセスコマンド1内のテストコマンドTESTCMD<0:3>であるCAS1およびカラムアドレスColを入力し、デコードして第1のメモリ101へ供給する。これにより、第1のメモリ101では、ロウアドレス、カラムアドレスが入力されたことになり、データリード状態に入る。

【0033】次に、図4に示すタイミングT43に示すように、制御信号A1HCDDEがHレベルになると、ロウアドレス、カラムアドレスで示される第1のメモリ101内の記憶領域に格納されているデータN1INDATAが、データバス（図示せず）上に読み出される。そして、図3のタイミングT34で示されるように、テストコマンドTESTCMD<0:3>であるKEEPコマンドが第1アクセス制御回路11へ入力されデコードされることで、第1のメモリ101は、図4に示すタイミングT43の状態を維持するため、データN1INDATAがデータバス上に出力され続ける。そして、データバス上のデータN1INDATAは、図3に示すタイミングT35においてRead data1として（図1では、データ1として）半導体処理装置10の外部へ出力される。

【0034】図3のタイミングチャートにおけるタイミングT35、T36では、アドレスA<10:27>が、Row、ColからRow2、Col2へ変化しているが、タイミングT32、T33の場合と同様にし

て、連続したデータリード動作が実行される。そして、半導体処理装置10の外部へ読み出されたデータ1は、例えば、外部のテスト等で期待値と比較され、第1のメモリ101の動作の正否が判断される。

【0035】第1のメモリ101に対する1MBのデータリードが完了すると、半導体処理装置10へ外部から供給されるアドレス1の最終ビットの値が変わり、第2のメモリ102を指定するビット値になる。

【0036】第2アクセス制御回路12がこのアドレス1を入力し、かつ、デコードする。その結果、入力したアドレス1の最終ビット値に基づいて（例えば、最終ビットの値が0）、第2のメモリ102に対するデータリード動作が、自動的に開始される。

【0037】この第2アクセス制御回路12による第2のメモリ102に対するデータリード動作を以下に説明する。

【0038】図3に示すように、半導体処理装置10へ入力される外部クロックCLKINの立ち上がりエッジで（タイミングT32）、第2アクセス制御回路12は、アクセスコマンド1内のテストコマンドTESTCMD<0:3>であるRASとアドレス1内のロウアドレスA<10:27>であるRowを、その内部へ取り込む。

【0039】次に、第2アクセス制御回路12が、テストコマンドTESTCMD<0:3>であるRASをデコードする。この場合、入力したアドレス1の最終ビット値に基づいて（例えば、最終ビットの値が0）、第2アクセス制御回路12は、第2のメモリ102を指定し、デコードしたテストコマンドを第2のメモリ102へ供給する。

【0040】そして、図5のタイミングチャートにおけるタイミングT52で、第2のメモリ102がこのデコードしたテストコマンドを内部に取り込むと、第2のメモリ102はアクティブ状態となる。

【0041】次に、図3に示すタイミングT33で、第2アクセス制御回路12が、アクセスコマンド1内のテストコマンドTESTCMD<0:3>であるCAS1およびカラムアドレスColを入力し、デコードして第2のメモリ102へ供給する。これにより、第2のメモリ102では、ロウアドレスRow、カラムアドレスColが入力されたことになり、データリード状態に入る。

【0042】次に、制御信号OEがHレベルになると（タイミングT53）、ロウアドレスRow、カラムアドレスColで示される第2のメモリ102内の記憶領域に格納されているデータD<>が、データバス（図示せず）上に読み出される。そして、図3のタイミングT34で示されるように、テストコマンドTESTCMD<0:3>であるKEEPコマンドが第2アクセス制御回路12へ入力されデコードされることで、第2のメモ

リ102は、図5に示すタイミングT53の状態を維持するため、データD<>が、データバス上に出力され続ける。

【0043】そして、データバス上のデータN1,INDATAは、図3に示すタイミングT35においてRead data1として(図1ではデータ1として)半導体処理装置10の外部へ出力される。半導体処理装置10の外部へ読み出されたデータ1は、外部のテスト等で期待値と比較され、第2のメモリ102の動作の正否が判断される。

【0044】図3のタイミングチャートにおけるタイミングT35, T36では、アドレスA<10:27>が、Row, ColからRow2, Col12へ変化しているが、タイミングT32, T33の場合と同様にし、連続したデータリード動作が実行される。

【0045】以上のように、この実施の形態1によれば、アクセスコマンドや動作タイミングが異なる等の、種類の異なる複数のメモリが搭載された半導体処理装置において、それぞれのメモリの動作を制御するアクセス制御回路を設け、例えば、外部テスト等の外部装置で生成され供給されるアドレスの所定ビットを用いて各メモリを選択し、アクセスコマンドをデコードして書くメモリのアクセスに対応したコマンドを生成し、メモリに対して出力することで、あたかも1つの連続したメモリとして、これらの複数のメモリを認識して連続してテストするように構成したものである。従って、従来の半導体処理装置のように、テストパターンをメモリ毎に作成する必要がなく、かつ、メモリ毎に別々にテストする必要もなく、テストパターンを共通化でき、これにより容易にテストパターンを構成し、効率良くメモリのテストを実行できる効果が得られる。

【0046】実施の形態2. 図6は、この発明の実施の形態2によるメモリテスト回路を備えた半導体処理装置を示すブロック図であり、図において、21はアクセスコマンド2を入力し、メモリサイズが1MBの第1のメモリ101に対するアクセスのための制御信号を生成する第3アクセス制御回路(制御手段)、22はアクセスコマンド2を入力し、メモリサイズが1MBの第2のメモリ102に対するアクセスのための制御信号を生成する第4アクセス制御回路(制御手段)である。CLKINは、半導体処理装置20の動作に使用される外部クロック信号である。

【0047】これらの第3アクセス制御回路21および第4アクセス制御回路22は、アクセスコマンド2、アドレス2、R/W信号2を入力しデコードして、データ2を第1のメモリ101および第2のメモリ102内に入力し、また、第1のメモリ101および第2のメモリ102内からデータ2を読み出すものである。

【0048】そして20は、第3アクセス制御回路21および第4アクセス制御回路22、第1のメモリ10

1、第2のメモリ102を搭載した半導体処理装置である。

【0049】実施の形態2のメモリテスト回路を備えた半導体処理装置20では、外部からアクセスコマンド2、およびアドレス2を入力して、第1のメモリ101および第2のメモリ102のメモリテストを実行するが、実施の形態1で使用したアドレス1のようにメモリを指定するビットが付加されていない。そのかわり、第3アクセス制御回路21および第4アクセス制御回路22は、第1のメモリ101と第2のメモリ102のいずれかを

選択するための制御信号MODEを入力する。
【0050】実施の形態1の場合と同様に、第1のメモリ101のメモリサイズは1MBであり、100MHzのクロック信号PHIAで動作するものとする。また、第2のメモリ102のメモリサイズは1MBであり、25MHzのクロック信号CLKで動作するものとする。また、半導体処理装置20は、25MHzのクロック信号CLKINに基づいて動作を行うものとする。

【0051】次に動作について説明する。実施の形態2のメモリテスト回路の動作を説明するため、図6のブロック図に加え、実施の形態1の説明に使用した図2のテストコマンドの説明図および図3~5のタイミングチャートを用いる。

【0052】まず、第1のメモリ101をテストするため、外部からHレベルの制御信号MODEを第3アクセス制御回路21へ供給する。第3アクセス制御回路21は、この制御信号MODEを入力すると、図3のタイミングT32に示す外部クロックCLKINの立ち上がりエッジで、アクセスコマンド2内のテストコマンドTESTCMD<0:3>であるRAS、およびアドレス2内のロウアドレスA<10:27>であるRowを入力する。

【0053】次に、第3アクセス制御回路21が、テストコマンドTESTCMD<0:3>であるRASをデコードする。次に、第3アクセス制御回路21は、デコードしたテストコマンドを第1のメモリ101へ供給する。そして、図4のタイミングチャートにおけるタイミングT42で、第1のメモリ101がこのデコードしたテストコマンドを内部に取り込むと、第1のメモリ101はアクティブ状態となる。

【0054】次に、図3のタイミングT33で、第3アクセス制御回路21が、アクセスコマンド2内のテストコマンドTESTCMD<0:3>であるCAS1およびカラムアドレスColを入力し、デコードして第1のメモリ101へ供給する。これにより、第1のメモリ101では、ロウアドレス、カラムアドレスが入力されたことになり、データリード状態に入る。

【0055】次に、図4のタイミングT43に示すように、制御信号A1HCDDDEがHレベルになると、ロウアドレス、カラムアドレスで示される第1のメモリ10

1内の記憶領域に格納されているデータN1INDATAが、データバス（図示せず）上に読み出される。そして、図3のタイミングT34で示されるように、テストコマンドTESTCMD<0:3>であるKEEPコマンドが第3アクセス制御回路21へ入力されデコードされることで、第1のメモリ101は、図4に示すタイミングT43の状態を維持するため、データN1INDATAがデータバス上に出力され続ける。そして、データバス上のデータN1INDATAは、図3に示すタイミングT35においてRead data1として（図6では、データ2として）半導体処理装置20の外部へ出力される。

【0056】図3のタイミングチャートにおけるタイミングT35、T36では、アドレスA<10:27>が、Row、ColからRow2、Col12へ変化しているが、タイミングT32、T33の場合と同様に、連続したデータリード動作が実行される。そして、半導体処理装置20の外部へ読み出されたデータ2は、例えば、外部のテスト等で期待値と比較され、第1のメモリ101の動作の正否が判断される。

【0057】第1のメモリ101に対する1MBのデータリードが完了すると、外部から、Lレベルの制御信号MODEが半導体処理装置20へ供給される。

【0058】第4アクセス制御回路22が、Lレベルの制御信号MODEを入力すると、第2のメモリ102に対するデータリード動作が、自動的に開始される。

【0059】この第4アクセス制御回路22による第2のメモリ102に対するデータリード動作を以下に説明する。

【0060】図3のタイミングT32に示すように、半導体処理装置20へ入力される外部クロックCLKINの立ち上がりエッジで、第4アクセス制御回路22は、アクセスコマンド2内のテストコマンドTESTCMD<0:3>であるRASとアドレス2内のロウアドレスA<10:27>であるRowを、その内部へ取り込む。

【0061】次に、第4アクセス制御回路22が、テストコマンドTESTCMD<0:3>であるRASをデコードする。そして、第4アクセス制御回路22は、Lレベルの制御信号MODEに従って、第2のメモリ102を指定し、デコードしたテストコマンドを第2のメモリ102へ供給する。

【0062】そして、図5のタイミングチャートにおけるタイミングT52で、第2のメモリ102がこのデコードしたテストコマンドを内部に取り込むと、第2のメモリ102はアクティブ状態となる。

【0063】次に、図3に示すタイミングT33で、第4アクセス制御回路22が、アクセスコマンド2内のテストコマンドTESTCMD<0:3>であるCAS1およびカラムアドレスColを入力し、デコードして第

2のメモリ102へ供給する。これにより、第2のメモリ102では、ロウアドレスRow、カラムアドレスColが入力されたことになり、データリード状態に入る。

【0064】次に、制御信号OEがHレベルになると（タイミングT53）、ロウアドレスRow、カラムアドレスColで示される第2のメモリ102内の記憶領域に格納されているデータD<>が、データバス（図示せず）上に読み出される。そして、図3のタイミングT34で示されるように、テストコマンドTESTCMD<0:3>であるKEEPコマンドが第4アクセス制御回路22へ入力されデコードされることで、第2のメモリ102は、図5に示すタイミングT53の状態を維持するため、データD<>が、データバス上に出力され続ける。そして、データバス上のデータN1INDATAは、図3に示すタイミングT35においてRead data1として（図6では、データ2として）、半導体処理装置20の外部へ出力される。半導体処理装置20の外部へ読み出されたデータ2は、外部のテスト等で期待値と比較され、第2のメモリ102の動作の正否が判断される。

【0065】図3のタイミングチャートにおけるタイミングT35、T36では、アドレスA<10:27>が、Row、ColからRow2、Col12へ変化しているが、タイミングT32、T33の場合と同様に、連続したデータリード動作が実行される。

【0066】以上のように、この実施の形態2によれば、アクセスコマンドや動作タイミングが異なる等の種類の異なる複数のメモリが搭載された半導体処理装置において、それぞれのメモリの動作を制御するアクセス制御回路を設け、外部テスト等の外部装置で生成され供給される制御信号MODEのレベルに基づいて各メモリを適宜選択することで、あたかも1つの連続したメモリとして、これらの複数のメモリを認識して連続してテストするように構成したものである。従って、従来の半導体処理装置のように、テストパターンをメモリ毎に作成する必要が無く、かつ、メモリ毎に別々にテストする必要もなく、テストパターンを共通化でき、これにより容易にテストパターンを構成し、効率良くメモリのテストを実行できる効果が得られる。

【0067】実施の形態3。図7は、この発明の実施の形態3によるメモリテスト回路を備えた半導体処理装置を示すブロック図であり、図において、31はアクセスコマンド5を入力しデコードして、メモリサイズが1MBの第1のメモリ101に対するアクセスのための制御信号を生成する第5アクセス制御回路（制御手段）、32はアクセスコマンド5を入力しデコードして、メモリサイズが1MBの第2のメモリ102に対するアクセスのための制御信号を生成する第6アクセス制御回路（制御手段）である。CLKINは、半導体処理装置の動作

に使用される外部クロック信号である。

【0068】33は第1のメモリ101と第2のメモリ102から読み出したデータを比較する比較回路(比較手段)であり、これらのデータが一致したらHレベルのデータ5を外部へ出力する。もし、両者が一致しなかった場合は、Lレベルのデータ5を外部へ出力する。これらの第5アクセス制御回路31および第6アクセス制御回路32は、アクセスコマンド5、アドレス5、R/W信号5を入力して、データ5を第1のメモリ101および第2のメモリ102内に入力し、また、第1のメモリ101および第2のメモリ102内から読み出したデータを比較回路33へ出力するものである。

【0069】そして30は、第5アクセス制御回路31および第6アクセス制御回路32、第1のメモリ101、第2のメモリ102、比較回路33を搭載した半導体処理装置である。

【0070】この実施の形態3のメモリテスト回路を備えた半導体処理装置30では、外部からアクセスコマンド5およびアドレス5を入力し、第5アクセス制御回路31および第6アクセス制御回路32でデコードして、第1のメモリ101および第2のメモリ102のアクセスのための制御信号を生成し、第1のメモリ101および第2のメモリ102へ出力してメモリテストを同時に実行する。

【0071】実施の形態1および実施の形態2の場合と同様に、第1のメモリ101のメモリサイズは1MBであり、100MHzのクロック信号PHIAで動作するものとする。また、第2のメモリ102のメモリサイズは1MBであり、25MHzのクロック信号CLKで動作するものとする。また、半導体処理装置30は、25MHzのクロック信号CLKINに基づいて動作を行うものとする。

【0072】次に動作について説明する。この実施の形態3のメモリテスト回路の動作を説明するため、図7のブロック図に加え、実施の形態1および2の説明に使用した図2のテストコマンドの説明図および図3～5のタイミングチャートを用いる。

【0073】まず、第1のメモリ101をテストするため、第5アクセス制御回路31は、図3のタイミングT32に示す外部クロックCLKINの立ち上がりエッジで、アクセスコマンド5内のテストコマンドTESTCMD<0:3>であるRAS、およびアドレス5内のロウアドレスA<10:27>であるRowを入力する。

【0074】次に、第5アクセス制御回路31が、テストコマンドTESTCMD<0:3>であるRASをデコードする。次に、第5アクセス制御回路31は、デコードしたテストコマンドを第1のメモリ101へ供給する。そして、図4のタイミングチャートにおけるタイミングT42で、第1のメモリ101がこのデコードしたテストコマンドを内部に取り込むと、第1のメモリ10

1はアクティブ状態となる。

【0075】次に、図3のタイミングT33で、第5アクセス制御回路31が、アクセスコマンド5内のテストコマンドTESTCMD<0:3>であるCAS1およびカラムアドレスColを入力し、デコードして第1のメモリ101へ供給する。これにより、第1のメモリ101では、ロウアドレス、カラムアドレスが入力されたことになり、データリード状態に入る。

【0076】次に、図4のタイミングT43に示すように、制御信号A1HCDDEがHレベルになると、ロウアドレス、カラムアドレスで示される第1のメモリ101内の記憶領域に格納されているデータN1INDATAが、データバス(図示せず)上に読み出される。そして、図3のタイミングT34で示されるように、テストコマンドTESTCMD<0:3>であるKEEPコマンドが第3アクセス制御回路21へ入力されデコードされることで、第1のメモリ101は、図4に示すタイミングT43の状態を維持するため、データN1INDATAがデータバス上に出力され続ける。そして、データバス上のデータN1INDATAは、図3に示すタイミングT35において、第5アクセス制御回路31から比較回路33へ出力される。

【0077】図3のタイミングチャートにおけるタイミングT35、T36では、アドレスA<10:27>が、Row、ColからRow2、Col2へ変化しているが、タイミングT32、T33の場合と同様にして、連続したデータリード動作が実行される。

【0078】第1のメモリ101に対するデータリード動作と並行して、第6アクセス制御回路32は、第2のメモリ102に対するデータリード動作を開始する。

【0079】この第6アクセス制御回路32による第2のメモリ102に対するデータリード動作を以下に説明する。

【0080】図3のタイミングT32に示すように、半導体処理装置30へ入力される外部クロックCLKINの立ち上がりエッジで、第6アクセス制御回路32は、アクセスコマンド5内のテストコマンドTESTCMD<0:3>であるRASとアドレス5内のロウアドレスA<10:27>であるRowを、その内部へ取り込む。

【0081】次に、第6アクセス制御回路32が、テストコマンドTESTCMD<0:3>であるRASをデコードする。そして、デコードしたテストコマンドを第2のメモリ102へ供給する。

【0082】そして、図5のタイミングチャートにおけるタイミングT52で、第2のメモリ102がこのデコードしたテストコマンドを内部に取り込むと、第2のメモリ102はアクティブ状態となる。

【0083】次に、図3に示すタイミングT33で、第6アクセス制御回路32が、アクセスコマンド5内のテ

ストコマンドTESTCMD<0:3>であるCAS1およびカラムアドレスColを入力し、デコードして第2のメモリ102へ供給する。これにより、第2のメモリ102では、ロウアドレスRow、カラムアドレスColが入力されたことになり、データリード状態に入る。

【0084】次に、制御信号OEがHレベルになると（タイミングT53）、ロウアドレスRow、カラムアドレスColで示される第2のメモリ102内の記憶領域に格納されているデータD<>が、データバス（図示せず）上に読み出される。そして、図3のタイミングT34で示されるように、テストコマンドTESTCMD<0:3>であるKEEPコマンドが第6アクセス制御回路32へ入力されデコードされることで、第2のメモリ102は、図5に示すタイミングT53の状態を維持するため、データD<>が、データバス上に出力され続ける。そして、データバス上のデータN1INDATAは、第6アクセス制御回路32から比較回路33へ出力される。

【0085】図3のタイミングチャートにおけるタイミングT35、T36では、アドレスA<10:27>が、Row、ColからRow2、Col112へ変化しているが、タイミングT32、T33の場合と同様にして、連続したデータリード動作が実行される。

【0086】このように、第1のメモリ101および第2のメモリ102に対するデータリードは、第5アクセス制御回路31および第6アクセス制御回路32の制御のもとで同時に並行して実行され、読み出されたデータが同時に比較回路33へ供給される。比較回路33は、第5アクセス制御回路31および第6アクセス制御回路32から出力されたデータを比較して、両者が一致したらHレベルのデータ5を外部へ出力する。もし、両者が異なればLレベルのデータ6を外部へ出力する。

【0087】以上のように、この実施の形態3によれば、アクセスコマンドや動作タイミングが異なる等の、種類の異なる複数のメモリが搭載された半導体処理装置において、それぞれのメモリの動作を制御するアクセス制御回路を設け、外部テスト等の外部装置で生成され供給される同一のテストパターンを用いて各メモリのテストを実行することができる。従って、従来の半導体処理装置のように、テストパターンをメモリ毎に作成する必要が無く、かつ、メモリ毎に別々にテストする必要もなく、テストパターンを共通化でき、これにより容易にテストパターンを構成し、効率良くメモリのテストを実行できる効果が得られる。

【0088】

【発明の効果】以上のように、この発明によれば、アクセスコマンドや動作タイミングが異なる等の、種類の異なる複数のメモリが搭載された半導体処理装置において、外部から供給される制御信号に基づいて、例えば、

外部から供給されるアドレスに所定ビットを付加して、このビットの値を用いて各メモリを選択し、あたかも1つの連続したメモリとしてこれらの複数のメモリを認識して連続してテストし、読み出したデータを外部へ出力するメモリテスト回路としてのアクセス制御回路を備えるように構成したので、従来の半導体処理装置におけるメモリテストのように、テストパターンをメモリ毎に作成する必要がなく、メモリ毎に別々にテストを実行する必要もなく、テストパターンを共通化できるので、容易にテストパターンを構成し、効率良くメモリのテストを実行できる効果がある。

【0089】この発明によれば、アクセスコマンドや動作タイミングが異なる等の、種類の異なる複数のメモリが搭載された半導体処理装置において、外部から供給される制御信号、例えば、外部から供給される制御信号MODEを用いて各メモリを選択し、あたかも1つの連続したメモリとしてこれらの複数のメモリを認識して連続してテストし、読み出したデータを外部へ出力するメモリテスト回路としてのアクセス制御回路を備えるように構成したので、従来の半導体処理装置におけるメモリテストのように、テストパターンをメモリ毎に作成する必要がなく、メモリ毎に別々にテストを実行する必要もなく、テストパターンを共通化できるので、容易にテストパターンを構成し、効率良くメモリのテストを実行できる効果がある。

【0090】この発明によれば、アクセスコマンドや動作タイミングが異なる等の、種類の異なる複数のメモリが搭載された半導体処理装置において、同一のテストパターンを用いて各メモリを同時に並行してテストするアクセス制御回路、および各メモリから読み出したデータをアクセス制御回路から受け取り、比較し、比較結果を外部へ出力する比較回路からなるメモリテスト回路を備えるように構成したので、従来の半導体処理装置におけるメモリテストのように、テストパターンをメモリ毎に作成する必要がなく、メモリ毎に別々にテストを実行する必要もなく、テストパターンを共通化できるので、容易にテストパターンを構成し、効率良くメモリのテストを実行できる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるメモリテスト回路を備えた半導体処理装置を示すブロック図である。

【図2】 図1に示した半導体処理装置内に搭載されているメモリのテストに使用される11種類のテストコマンドを示す説明図である。

【図3】 メモリに対して連続して実行されるデータリード動作のタイミングを示すタイミングチャートである。

【図4】 メモリに対するデータリード動作のタイミングを示すタイミングチャートである。

【図5】 他の種類のメモリに対するデータリード動作

のタイミングを示すタイミングチャートである。

【図6】 この発明の実施の形態2によるメモリテスト回路を備えた半導体処理装置を示すブロック図である。

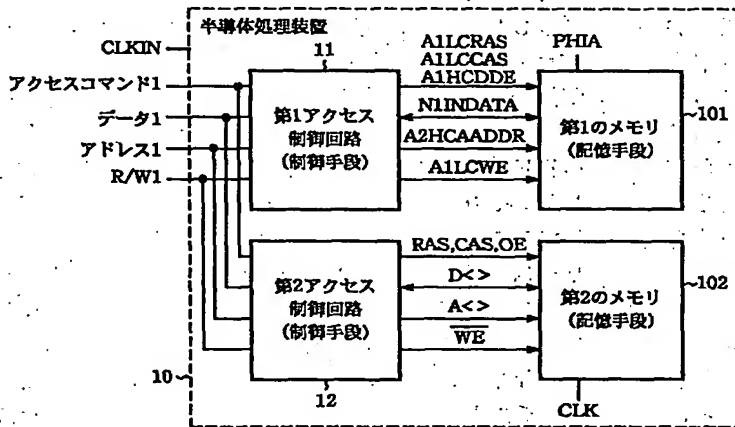
【図7】 この発明の実施の形態3によるメモリテスト回路を備えた半導体処理装置を示すブロック図である。

【図8】 異なる種類の2つのメモリを搭載した従来の半導体集積回路システムを示すブロック図である。

【符号の説明】

* 10 半導体処理装置、11 第1アクセス制御回路（制御手段）、12 第2アクセス制御回路（制御手段）、21 第3アクセス制御回路（制御手段）、22 第4アクセス制御回路（制御手段）、31 第5アクセス制御回路（制御手段）、32 第6アクセス制御回路（制御手段）、33 比較回路（比較手段）、101 第1のメモリ（記憶手段）、102 第2のメモリ（記憶手段）。

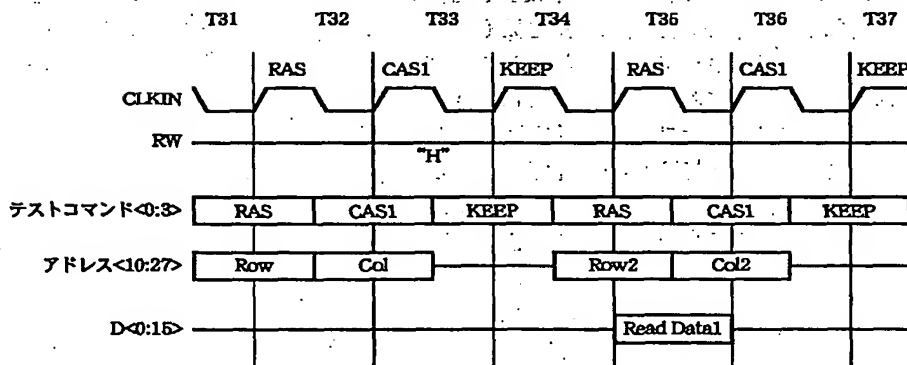
【図1】



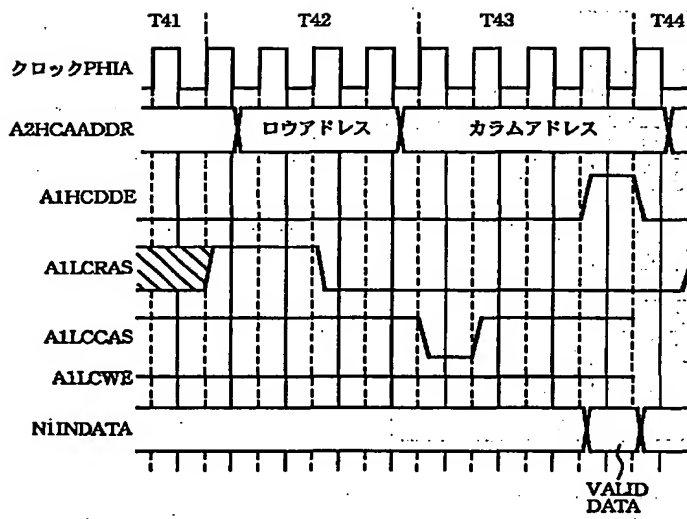
【図2】

テストコマンド<0:3>	ニーモニック
0	NOP
1	KEEP
2	SET
3	RAS
4	CAS1
5	CAS2
6	CAS3
7	CBRIN
8	CBROUT
9	SELFOUT
a	RAS1
b	KEEP2
c	reserved
d	reserved
e	reserved
f	reserved

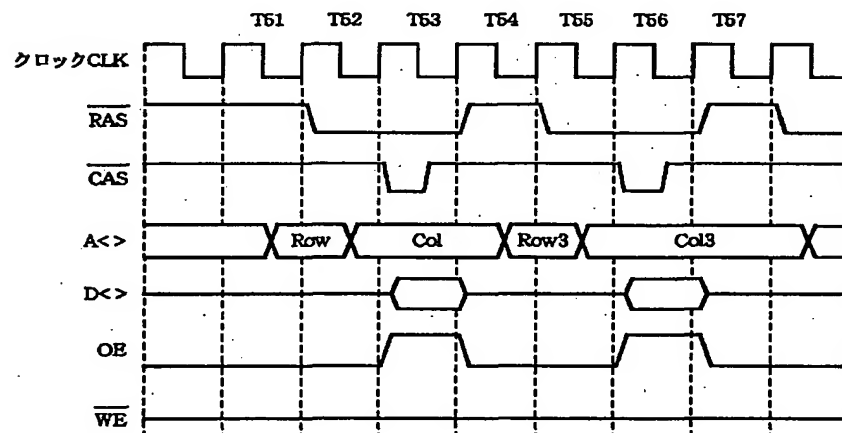
【図3】



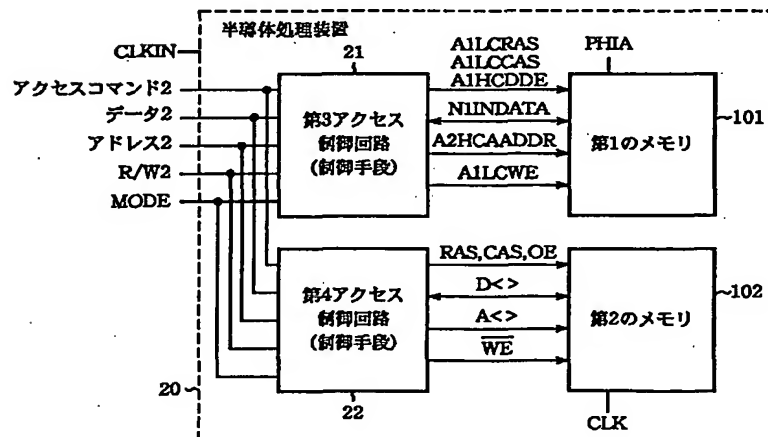
【図4】



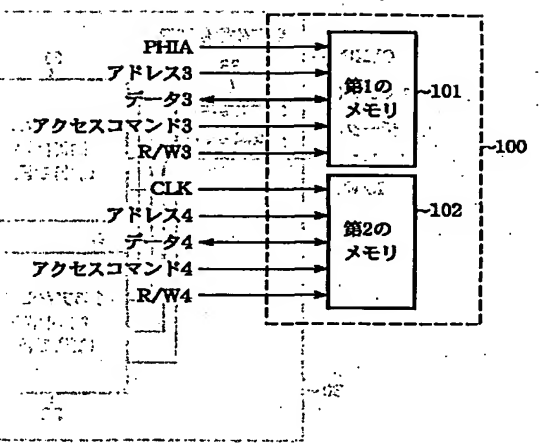
【図5】



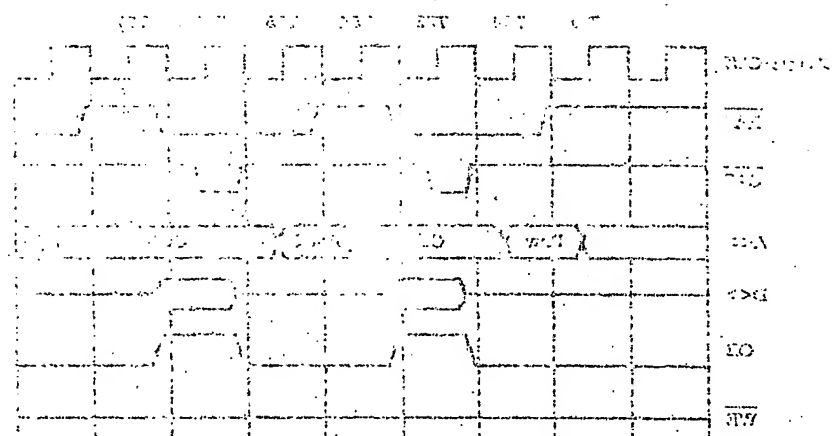
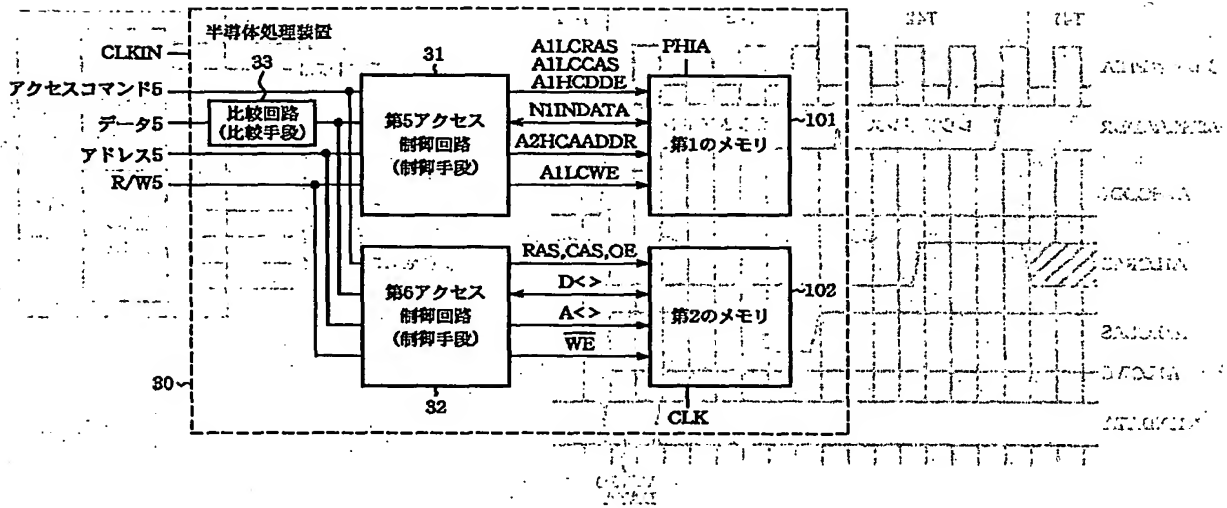
【図6】



【図8】



【図7】



【図8】

